



## KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Projektowanie i weryfikacja układów z FPGA

### Przedmiot

Kierunek studiów

Elektronika i Telekomunikacja

Studia w zakresie (specjalność)

Sieci, systemy i usługi

Poziom studiów

drugiego stopnia

Forma studiów

stacjonarne

Rok/semestr

2/3

Profil studiów

ogólnoakademicki

Język oferowanego przedmiotu

polski

Wymagalność

obieralny

### Liczba godzin

Wykład

15

Laboratoria

30

Inne (np. online)

Ćwiczenia

Projekty/seminaria

### Liczba punktów ECTS

4

### Wykładowcy

Odpowiedzialny za przedmiot/wykładowca:

dr inż. Olgierd Stankiewicz,

olgierd.stankiewicz@put.poznan.pl

Odpowiedzialny za przedmiot/wykładowca:

### Wymagania wstępne

Ma podstawową wiedzę o trendach rozwojowych w zakresie układów programowalnych.

Posiada wiedzę wystarczającą do projektowania wyspecjalizowanych układów cyfrowych do zastosowania w układach programowalnych.

Zna zasadę działania podstawowych interfejsów komunikacyjnych.

Zna zasady projektowania podstawowych elementów układów cyfrowych (automaty, potoki).

Posiada ogólną wiedzę z zakresu teorii informacji.

Potrąfi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie.

Potrąfi opisać elementy układu cyfrowego w postaci modułu języka Verilog.

Potrąfi testować i weryfikować poprawność działania układu cyfrowego.

Potrąfi wykorzystać poznane techniki projektowe do zaprojektowania układu cyfrowego.



Posiada umiejętność korzystania z nowoczesnych narzędzi wspomagania projektowania i syntezy układów cyfrowych dla platformy układów FPGA.

Jest otwarty na możliwości ciągłego doksztalcania się i rozumie konieczność podnoszenia kompetencji zawodowych.

Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy.

Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.

### **Cel przedmiotu**

Poszerzenie wiedzy o układach programowalnych FPGA. Rozszerzenie wiedzy o języku Verilog oraz wprowadzenie do SystemVerilog: zawansowane metody symulacji, kompilacji i syntezy układów, przykładowe realizacje wybranych algorytmów. Poszerzenie wiedzy i umiejętności studenta w technik wykrywania błędów działania i uszkodzeń układu. Metody weryfikacji projektu. Metody testowania układów (model BIST).

### **Przedmiotowe efekty uczenia się**

#### Wiedza

Ma podstawową wiedzę o hybrydowych układach programowalnych.

Posiada wiedze na temat metod testowania układów cyfrowych. Zna zasadę działania szybkich interfejsów komunikacyjnych.

#### Umiejętności

Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie.

Potrafi opisać złożony układ cyfrowego w postaci hierarchii modułów języka Verilog.

Potrafi stworzyć moduł TestBench dla układu cyfrowego.

Posiada umiejętność korzystania z nowoczesnych narzędzi testowania i weryfikacji układów cyfrowych dla platformy układów FPGA..

#### Kompetencje społeczne

Jest otwarty na możliwości ciągłego doksztalcania się i rozumie konieczność podnoszenia kompetencji zawodowych.

Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy.

Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.



### Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Wykład: egzaminy pisemny.

Egzamin pisemny składa się z 6-10 pytań. Oczekiwana jest odpowiedź opisowa, punktowana ułamekowo od 0 do 1 punktu. Próg zaliczeniowy: 50% punktów. Zagadnienia zaliczeniowe, na podstawie których opracowywane są pytania zostaną przesłane studentom drogą mailową z wykorzystaniem systemu uczelnianej poczty elektronicznej.

Laboratorium: raporty (Sprawozdanie) z jednolitych tematycznie bloków ćwiczeń laboratoryjnych. Projekt laboratoryjny realizowany indywidualnie lub w małych grupach.

### Treści programowe

Rozwój i trendy w układach FPGA na przykładzie najnowszych układów programowalnych FPGA firmy Xilinx/Lattice, Multi-Gigabit Serial I/O.

Hybrydowe układy programowalne FPGA.

Domeny częstotliwościowe - problem przekazywania danych pomiędzy domenami, rekomendacje przemysłowe, synchronizacja układów, interfejs źródłowo-synchroniczny.

Szybkie interfejsy we/wy - wykorzystanie modułów gigabitowych GTP, GTX, GTH w standardach HD-SDI, SATA, PCI-E, oraz układów SerDes.

Języki programowania - Verilog, SystemC, SystemVerilog, migen, MyHDL. Zasady dobrego programowania, listing samo opisujący.

Metody i narzędzia symulacji i syntezy projektów na układy FPGA - generowanie plików EDIF, partycjonowanie projektu, język skryptowy Python.

Przykłady efektywnej realizacji wybranych algorytmów dla układów FPGA.

Metody testowania.

Model BIST.

Weryfikacja projektów na układy FPGA.

Analizatory stanów logiczny dla układów FPGA.

### Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.

Laboratoria: praca na komputerach z oprogramowaniem do symulacji i syntezy. Wykorzystanie układów FPGA. Przykłady zilustrowane na ekranie/tablicy.

### Literatura

Podstawowa

Węgrzyn M., Barkalov A., Design of Control Units with Programmable Logic. Zielona Góra 2006.

Skahill K., Język VHDL, WNT, Warszawa 2001.

J.Rajski, J. Tyszer, Arithmetic Built-In Self-Test for Embedded Systems



Uzupełniająca

Woods R. McAllister J., Yi Y. Lightbody G. FPGA-based Implementation of Signal Processing Systems, Wiley, 2008.

Palnitkar S., Verilog HDL (2nd Edition), Prentice Hall Professional, 2003.

Kilts S., Advanced FPGA DESIGN, Wiley 2007.

### Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	100	4,0
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	58	2,0
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych, przygotowanie do egzaminu, wykonanie projektu laboratoryjnego) <sup>1</sup>	42	2,0

<sup>1</sup> niepotrzebne skreślić lub dopisać inne czynności